

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-321126

(43)Date of publication of application : 08.12.1995

(51)Int.Cl.

H01L 21/338
H01L 29/812
H01L 29/41
H01L 29/417

(21)Application number : 06-106800

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 20.05.1994

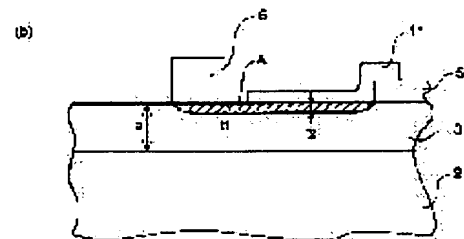
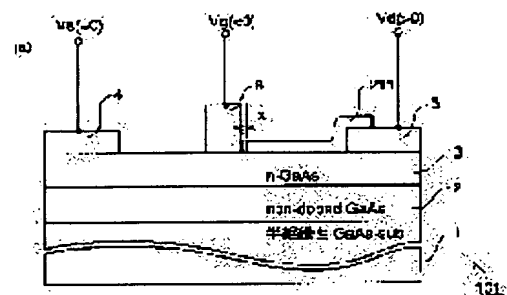
(72)Inventor : HAYASHI KAZUO

(54) FIELD EFFECT TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To suppress the decrease in channel layer thickness by the surface depletion layer of an n-type GaAs active layer in a MES field effect transistor, and also to increase high frequency wave power of maximum drain current.

CONSTITUTION: A Schottky surface electrode 211, whereon the bias of equipotential with a drain electrode is applied, is provided on the region located between a gate electrode 6 and a drain electrode 5 of an n-type GaAs active layer 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-321126

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.⁶

H 0 1 L 21/338
29/812
29/41

識別記号

庁内整理番号

F I

技術表示箇所

9171-4M

H 0 1 L 29/ 80
29/ 44

B
C

審査請求 未請求 請求項の数15 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平6-106800

(22) 出願日 平成6年(1994)5月20日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 林 一夫

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

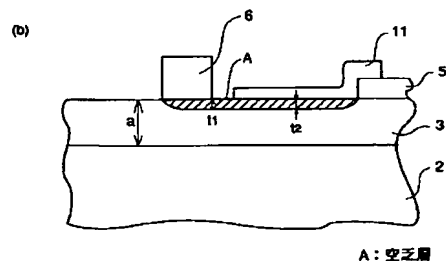
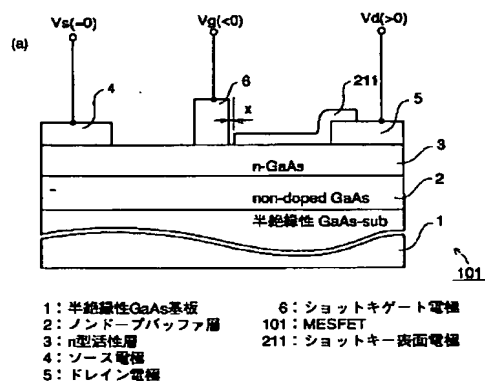
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【要約】

【目的】 MES型電界効果トランジスタ101において、n型GaAs活性層3の表面空乏層Aによるチャネル層厚の低下を抑制し、最大ドレイン電流の増大により高周波パワーを増大することを目的とする。

【構成】 n型GaAs活性層3の、ゲート電極6及びドレイン電極5間の領域に、ドレイン電極と同電位のバイアスが印加されるショットキー表面電極211を備えた。



【特許請求の範囲】

【請求項 1】 基板上に形成された半導体活性層と、
該半導体活性層の一主面上に形成されたショットキーゲート電極と、

上記半導体活性層の一主面の、ゲート電極両側の領域上に形成されたソース電極及びドレイン電極と、

上記半導体活性層の一主面の、上記ドレイン電極とゲート電極との間の領域に、該ゲート電極と接触しないよう形成され、上記半導体活性層との接触面にエネルギー障壁を形成する表面導体層とを備え、

上記表面導体層は、上記ドレイン電極と同じ電位が印加されるものであることを特徴とする電界効果トランジスタ。

【請求項 2】 請求項 1 記載の電界効果トランジスタにおいて、

上記表面導体層は、その一部をドレイン電極に接触させたものであることを特徴とする電界効果トランジスタ。

【請求項 3】 請求項 2 記載の電界効果トランジスタにおいて、

上記半導体活性層は、その一主面の、ソース電極とドレイン電極との間にリセス部を有し、

上記ゲート電極は、該リセス内に配置されていることを特徴とする電界効果トランジスタ。

【請求項 4】 請求項 3 記載の電界効果トランジスタにおいて、

上記表面導体層は、その一部が上記リセスの側面を経てその底面まで延びているものであることを特徴とする電界効果トランジスタ。

【請求項 5】 請求項 2 記載の電界効果トランジスタにおいて、

上記表面導体層は、上記半導体活性層との界面にショットキー接合が形成されるよう金属材料から構成したものであることを特徴とする電界効果トランジスタ。

【請求項 6】 請求項 2 記載の電界効果トランジスタにおいて、

上記表面導体層は、半導体層から構成されていることを特徴とする電界効果トランジスタ。

【請求項 7】 請求項 6 記載の電界効果トランジスタにおいて、

上記表面導体層は、上記半導体活性層との界面に PN 接合が形成されるよう、上記半導体活性層とは逆の導電型の半導体層から構成したものであることを特徴とする電界効果トランジスタ。

【請求項 8】 請求項 6 記載の電界効果トランジスタにおいて、

上記表面導体層は、上記半導体活性層との界面にヘテロ接合が形成されるよう、上記半導体活性層とはエネルギーバンドギャップが異なる半導体層から構成したものであることを特徴とする電界効果トランジスタ。

【請求項 9】 請求項 6 記載の電界効果トランジスタに

おいて、

上記ドレイン電極と半導体活性層との間には、該半導体活性層と同一導電型の高濃度半導体コンタクト層が設けられており、

上記表面導体層を構成する半導体層の一部は、ドレイン電極と半導体活性層との間に位置していることを特徴とする電界効果トランジスタ。

【請求項 10】 基板上に形成された半導体活性層と、
該半導体活性層の一主面上に形成されたショットキーゲート電極と、

上記半導体活性層の一主面の、ゲート電極両側の領域上に形成されたソース電極及びドレイン電極と、

上記半導体活性層の一主面の、上記ドレイン電極とゲート電極との間の領域に、該ゲート電極と接触しないよう形成され、上記半導体活性層との接触面にエネルギー障壁を形成するドレイン側表面導体層と、

上記半導体活性層の一主面の、上記ソース電極とゲート電極との間の領域に、該ゲート電極と接触しないよう形成され、上記半導体活性層との接触面にエネルギー障壁を形成するソース側表面導体層とを備え、

上記ドレイン側表面導体層は、ドレイン電極と同一電位が印加されるものであることを特徴とする電界効果トランジスタ。

【請求項 11】 基板上に形成された半導体活性層と、
該半導体活性層の一主面上に形成されたショットキーゲート電極と、

上記半導体活性層の一主面の、ゲート電極両側にこれに接触しないよう配置された、該半導体活性層よりバンドギャップエネルギーが大きい、該半導体活性層と同一導電型の表面半導体層と、

上記各表面半導体層上に配置された、上記活性層と同一導電型の半導体コンタクト層と、

上記各半導体コンタクト層上に配置されたソース電極及びドレイン電極とを備えたことを特徴とする電界効果トランジスタ。

【請求項 12】 基板上に第 1 導電型の半導体活性層を形成する工程と、

該半導体活性層上にソース電極及びドレイン電極を形成する工程と、

上記半導体活性層、ソース電極及びドレイン電極上の全面にショットキー金属膜を形成する工程と、

上記ショットキー金属膜をバターンニングして、ソース電極及びドレイン電極間の略中央部分からドレイン電極にまたがるショットキー表面電極を形成する工程と、

全面に耐エッチング膜を形成し、該耐エッチング膜をバターンニングして、上記ソース電極及びドレイン電極間の略中央部分に、ショットキー表面電極の一端部を含むよう耐エッチング膜開口を形成する工程と、

上記バターンニングした耐エッチング膜をマスクとして、上記ショットキー表面電極を、上記耐エッチング膜開口

内に露出する部分から該開口周縁部下側に位置する部分までエッチングする工程と、

全面にゲート金属を蒸着し、上記耐エッチング膜の除去によりその上の蒸着ゲート金属をリフトオフして、上記ショットキー表面電極と非接触であるショットキーゲート電極を形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【請求項13】 基板上に第1導電型の半導体活性層を形成する工程と、

該半導体活性層上にソース電極及びドレイン電極を形成する工程と、

上記半導体活性層、ソース電極及びドレイン電極上の全面にショットキー金属膜を形成する工程と、

上記ショットキー金属膜をバターンニングして、ソース電極及びドレイン電極間の略中央部分からドレイン電極にまたがるショットキー表面電極を形成する工程と、

全面に耐エッチング膜を形成し、該耐エッチング膜をバターンニングして、上記ソース電極及びドレイン電極間の略中央部分に、ショットキー表面電極の一端部を含むよう耐エッチング膜開口を形成する工程と、

上記バターンニングした耐エッチング膜をマスクとして、

上記ショットキー表面電極をエッチングする工程と、

上記耐エッチング膜及びショットキー表面電極をマスクとして半導体活性層をエッチングして、半導体活性層の表面にリセスを形成する工程と、

上記バターンニングした耐エッチング膜をマスクとして、上記ショットキー表面電極を、上記耐エッチング膜開口内に露出する部分から該開口周縁部下側に位置する部分までエッチングする工程と、

全面にゲート金属を蒸着し、上記耐エッチング膜の除去によりその上の蒸着ゲート金属をリフトオフして、上記ショットキー表面電極と非接触のショットキーゲート電極を上記リセス内に形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【請求項14】 基板上に第1導電型の半導体活性層を形成する工程と、

該半導体活性層上に、第2導電型の半導体層、あるいはバンドギャップエネルギーが該活性層より大きい第1導電型の半導体層を形成する工程と、

上記半導体層の一部に選択的に第1導電型の不純物を注入して第1導電型の高濃度コンタクト層を形成する工程と、

上記半導体層をバターンニングして、上記高濃度コンタクト層に隣接する表面半導体層を形成する工程と、

上記半導体活性層上にソース電極を形成するとともに、上記高濃度コンタクト層上にドレイン電極を、その一部が上記表面半導体層と重なるよう形成する工程と、

ゲート金属材料の蒸着リフトオフにより、上記表面半導体層の、高濃度コンタクト層と反対側の端部に近接する位置に、該表面半導体層と非接触のショットキーゲート

電極を形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【請求項15】 基板上に第1導電型の半導体活性層を形成する工程と、

該半導体活性層上にこれよりバンドギャップエネルギーの大きい第1導電型の第1半導体層を形成する工程と、上記第1導電型の第1半導体層上に、これよりバンドギャップエネルギーが小さくかつ濃度が高い第1導電型の第1半導体層を形成する工程と、

10 上記第1半導体層上にソース電極及びドレイン電極を形成する工程と、

全面に形成した耐エッチング膜をバターンニングして、ソース電極及びドレイン電極間のゲート電極が配置されるべき部分に耐エッチング膜開口を形成する工程と、

上記バターンニングした耐エッチング膜をマスクとして、上記第1半導体層に対するエッチングレートが第2半導体層に対するエッチングレートより遅いエッチング処理を施して、上記第2半導体層に上記耐エッチング膜開口より広い第2半導体層開口部を形成する工程と、

20 上記バターンニングした耐エッチング膜をマスクとして、上記第2半導体層に対するエッチングレートが第1半導体層に対するエッチングレートより遅いドライエッチング処理を施して、上記第1半導体層に、上記耐エッチング膜開口より広くかつ第2半導体層開口部より小さい第1半導体層開口を形成する工程と、

全面にゲート金属を蒸着し、上記耐エッチング膜の除去によりその上の蒸着ゲート金属をリフトオフして、上記第1及び第2半導体層と非接触のショットキーゲート電極を上記第1半導体層開口内に形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は電界効果トランジスタ及びその製造方法に関し、特に表面空乏層によりチャネル層が薄くなるのを抑制することができる素子構造を有する電界効果トランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】図20は、従来のプレーナ構造の電界効果トランジスタ（以下、FETと略記する。）を説明するための図であり、図20(a)は該FETの断面構造を示す図、図20(b)は、そのチャネル領域を拡大して示す図である。

【0003】図において、201は従来のMESFETで、半絶縁性GaAs基板1、該基板1上に形成されたノンドープGaAsバッファ層2、及びn型GaAs活性層3を有している。該n型GaAs活性層3上には、WSi等からなるショットキーゲート電極6が配置され、さらに上記活性層3上のゲート電極6の両側にはAuGe等からなるソース、及びドレイン電極4、5が形

成されている。

【0004】次に動作について説明する。一般にFETを動作する場合、ソースを接地(0V)し、ドレインに所望の電圧 V_d (>0)を印加し、ゲート電極6にも任意のDCバイアス V_g (<0)を印加し、この状態でゲートに高周波(RF)信号を入力する。すると、RF信号に追従してゲートバイアスが変調を受けて、ゲート直下のショットキー接合による空乏層厚が変調を受ける。その結果動作層(チャネル層)の厚さが変調され、それによりドレイン電流が変調を受ける。この時ゲート電極6にその電位が正($V_g > 0$)になるようなRF信号が入力されると、ショットキー空乏層が薄くなり、ドレイン電流 I_d が増大する。この時のドレイン電流 I_d が大きければ、FET201から取り出し得るRF出力も大きくなる。つまりドレイン電流 I_d の増大がFETの高出力化のポイントとなる。

【0005】

【発明が解決しようとする課題】ところで、このようなFETから取り出し得るドレイン電流 I_d の最大値($=I_{dmax}$)は図20(b)で示すように、活性層3の厚さ a と、ゲート電極6の電位が V_g (>0)である時のゲート電極6直下の最小空乏層 A_1 の厚さ t_1 により、言い換えると空乏層下側のチャネル層の最大厚さ($a - t_1$)により決定される。

【0006】しかし、GaAsでは表面単位密度が高いため、GaAs活性層3の、ゲート電極6及びドレイン電極5間に露出する表面部分では、表面空乏層 A_2 が定期的に形成されてしまう。つまり上記GaAs活性層3の露出部分では、表面ポテンシャル ϕ_s ($\approx 0.6\text{ eV}$)に相当する空乏層 A_2 が伸びており、特にゲート電極6の電位が V_g (>0)となった時には、ゲートにより変調を受けないゲートより遠いドレイン側では、空乏層厚 t_2 がゲート下の空乏層厚 t_1 より大きくなるため、取り出し得るドレイン最大電流 I_{dmax} はゲート電極部分での空乏層厚 t_1 ではなくドレイン電極近傍での空乏層厚 t_2 で律速されてしまう。特に、ゲート電極6とドレイン電極5との距離 L_{qd} が大きいものではこの傾向は顕著となる。

【0007】また、このようにゲート電極に印加される電位が V_g (>0)である状態でのチャネルの厚さが表面空乏層により制約され、活性層厚を一定とした場合ドレイン最大電流 I_{dmax} を大きくとれないという点は、プレーナ型の電界効果トランジスタばかりでなく、図21に示すゲートリセス13を有する電界効果トランジスタにおいても問題となっている。

【0008】なお、ドレイン最大電流 I_{dmax} を向上させるために活性層3の厚さ a を大きくする方法も考えられるが、この場合、ピンチオフ電圧の増大や耐圧の減少等の特性劣化を招くという問題がある。

【0009】この発明は上記の様な問題点を解消するた

めになされたもので、ピンチオフ電圧 V_p や耐圧等を変化させることなく、つまり活性層厚 a を変えずに表面空乏層の影響を低減し、ドレイン最大電流 I_{dmax} を向上させRF出力の増大を図ることができる電界効果トランジスタを得ることを目的とするものである。

【0010】また、本発明は、上記活性層厚 a を変えずに表面空乏層の影響を低減し、ドレイン最大電流 I_{dmax} を向上させRF出力の増大を図ることができる構造の電界効果トランジスタを製造することができる製造方法を得ることを目的とする。

【0011】

【課題を解決するための手段】この発明(請求項1)に係る電界効果トランジスタは、半導体活性層の一主面の、ドレイン電極とゲート電極との間の領域に、上記半導体活性層との接触面にエネルギー障壁を形成する表面導体層を該ゲート電極と接触しないよう配置し、該表面導体層にドレイン電極と同一電位が印加されるよう構成したものである。

【0012】この発明(請求項2)は、請求項1記載の電界効果トランジスタにおいて、上記表面導体層をその一部がドレイン電極と接触した構造としたものである。

【0013】この発明(請求項3)は、請求項2記載の電界効果トランジスタにおいて、上記半導体活性層を、その一主面の、ソース電極とドレイン電極との間にリセス部を有する構造とし、上記ゲート電極を、該リセス内に配置したものである。

【0014】この発明(請求項4)は、請求項3記載の電界効果トランジスタにおいて、上記表面導体層を、その一部が上記リセスの側面を経てその底面上に延在する構造としたものである。

【0015】この発明(請求項5)は、請求項2記載の電界効果トランジスタにおいて、上記表面導体層を、上記半導体活性層との界面にショットキー接合が形成されるよう金属材料から構成したものである。

【0016】この発明(請求項6)は、請求項2記載の電界効果トランジスタにおいて、上記表面導体層を半導体層から構成したものである。

【0017】この発明(請求項7)は、請求項6記載の電界効果トランジスタにおいて、上記表面導体層を、上記半導体活性層との界面にPN接合が形成されるよう、該活性層とは導電型が逆である半導体層から構成したものである。

【0018】この発明(請求項8)は、請求項6記載の電界効果トランジスタにおいて、上記表面導体層を、上記半導体活性層との界面にヘテロ接合が形成されるよう、上記半導体活性層とバンドギャップエネルギーが異なる半導体層から構成したものである。

【0019】この発明(請求項9)は、請求項6記載の電界効果トランジスタにおいて、上記表面導体層を構成する半導体層を、その一部がドレイン電極と半導体活性

層との間に延在して位置する構造とし、上記ドレイン電極と半導体活性層との間に、該半導体活性層と同一導電型の半導体コンタクト層を設けたものである。

【0020】この発明（請求項10）に係る電界効果トランジスタは、半導体活性層の一主面の、上記ドレイン電極とゲート電極との間の領域に、上記半導体活性層との接触面にヘテロ接合障壁を形成するドレイン側表面導体層を、該ゲート電極と接触しないよう配置し、上記半導体活性層の一主面の、上記ソース電極とゲート電極との間の領域に、上記半導体活性層との接触面にヘテロ接合障壁を形成するソース側表面導体層を、該ゲート電極と接触しないよう配置したものである。

【0021】この発明（請求項11）に係る電界効果トランジスタは、半導体活性層の一主面の、ゲート電極の両側に、バンドギャップエネルギーが該半導体活性層より大きく導電型が該半導体活性層と同一である表面半導体層を、ゲート電極に接触しないよう配置するとともに、該各表面半導体層上に、上記活性層と同一導電型の半導体コンタクト層を配置し、該各半導体コンタクト層上にソース電極及びドレイン電極を配置したものである。

【0022】この発明（請求項12）に係る電界効果トランジスタの製造方法は、基板表面の半導体活性層上にソース電極及びドレイン電極を形成した後、上記半導体活性層、ソース電極及びドレイン電極上の全面に形成したショットキー金属膜をバターンニングして、ソース電極及びドレイン電極間の略中央部分からドレイン電極にまたがるショットキー表面電極を形成し、その後上記ソース電極及びドレイン電極間の略中央部分に、ショットキー表面電極の一端部を含む開口部を有する耐エッチング膜を形成し、これをマスクとして、上記ショットキー表面電極を、上記開口内に露出する部分から該開口周縁部の下側に位置する部分までエッチングし、さらにゲート金属の蒸着リフトオフにより、上記ショットキー表面電極と非接触のショットキーゲート電極を形成するものである。

【0023】この発明（請求項13）に係る電界効果トランジスタの製造方法は、基板表面の半導体活性層上にソース電極及びドレイン電極を形成した後、ショットキー金属膜のバターンニングによりソース電極及びドレイン電極間の略中央部分からドレイン電極にまたがるショットキー表面電極を形成し、その後上記ソース電極及びドレイン電極間の略中央部分に、ショットキー表面電極の一端部を含む開口部を有する耐エッチング膜を形成し、これをマスクとして上記ショットキー表面電極をエッチングし、続いて上記耐エッチング膜及びショットキー表面電極をマスクとして半導体活性層をエッチングして、半導体活性層の表面にリセスを形成し、さらにゲート金属の蒸着リフトオフにより、上記ショットキー表面電極と非接触のショットキーゲート電極を上記リセス内に形

成するものである。

【0024】この発明（請求項14）に係る電界効果トランジスタの製造方法は、基板表面の第1導電型の半導体活性層上に形成した第2導電型の半導体層の一部に選択的に第1導電型の不純物を注入して第1導電型の高濃度コンタクト層を形成し、その後、上記第2導電型の半導体層をバターンニングして、上記高濃度コンタクト層に隣接する表面半導体層を形成し、上記表面半導体層の、高濃度コンタクト層とは反対側の端部をその内部に含むエッチング膜開口を有する耐エッチング膜を形成し、これをマスクとして、上記第2導電型の半導体層を、上記エッチング膜開口内に露出する部分から該開口周縁部の下側に位置する部分までエッチングし、最後に、ゲート金属の蒸着リフトオフにより、上記表面半導体層と非接触のショットキーゲート電極を形成するものである。

【0025】この発明（請求項15）に係る電界効果トランジスタの製造方法は、基板表面の第1導電型の半導体活性層上にこれよりバンドギャップエネルギーの大きい第1導電型の第1半導体層、及びこれよりバンドギャップエネルギーが小さくかつ濃度が高い第1導電型の第2半導体層を形成した後、第2半導体層上にソース電極及びドレイン電極を形成し、その後ソース電極及びドレイン電極間のゲート電極が配置されるべき部分に耐エッチング膜開口を有する耐エッチング膜を形成し、これをマスクとして、上記第1半導体層に対するエッチングレートが第2半導体層に対するエッチングレートより遅いエッチング処理を施して、上記第2半導体層に上記耐エッチング膜開口より広い第2半導体層開口部を形成し、続いて上記耐エッチング膜をマスクとして、上記第2半導体層に対するエッチングレートが第1半導体層に対するエッチングレートより遅いドライエッチング処理を施して、上記第1半導体層に、上記耐エッチング膜開口より広くかつ第2半導体層開口部より小さい第1半導体層開口を形成し、最後にゲート金属の蒸着リフトオフにより、上記第1及び第2半導体層と非接触のショットキーゲート電極を上記第1半導体層開口内に形成するものである。

【0026】

【作用】この発明（請求項1）においては、半導体活性層の一主面の、ドレイン電極とゲート電極との間の領域に、上記半導体活性層との接触面にエネルギー障壁を形成する表面導体層を該ゲート電極と接触しないよう形成し、上記表面導体層にドレイン電極と同一電位を印加するよう構成したから、半導体活性層表面の、ゲート電極及びドレイン電極間での表面空乏層の厚さが常にゲート電極下側の空乏層厚より小さくなり、このため上記表面空乏層により活性層厚が律速されることはなくなり、最大ドレイン電流 I_{Dmax} を向上させてRF出力の増大を図ることができる。

【0027】この発明（請求項2）においては、上記表

面導体層をその一部がドレイン電極に接触した構造としたので、表面導体層にはドレイン電圧がそのまま印加されることとなり、上記表面導体層にドレイン電極と同一電位の電圧を印加する配線やコンタクトホールが不要となる。

【0028】この発明（請求項3）においては、請求項2の電界効果トランジスタにおいて、上記半導体活性層を、ゲート電極が配置されるリセスを有する構造としたので、チャンネル厚の最小値はリセス直下の領域でのチャンネル厚さにより決まり、しかも半導体活性層の、リセス底面ドレイン側に露出する部分が狭い領域に限られることとなり、表面空乏層によりチャンネル層が狭められるのをほぼ回避することができ、ドレイン電流の低下を抑制することができる。

【0029】この発明（請求項4）においては、請求項3の電界効果トランジスタにおいて、上記表面導体層を、その一部が上記リセス側面を経てリセス底面上に延在した構造としたので、半導体活性層のリセス下の領域での、表面空乏層によるチャンネル厚の低減を回避することができ、さらにドレイン電流を大きく向上させることができる。

【0030】この発明（請求項5）においては、請求項2記載の電界効果トランジスタにおいて、上記表面導体層を、上記半導体活性層との界面にショットキー接合が形成される構成としたので、上記表面導体層の材料としてゲート電極と同一のものをを用いることができる。

【0031】この発明（請求項6、7）においては、請求項2記載の電界効果トランジスタにおいて、上記表面導体層を、導電型が上記半導体活性層と逆である半導体層から構成したので、この半導体層の濃度を制御することにより、半導体活性層との間でのエネルギー障壁をコントロールできる。

【0032】この発明（請求項6、8）においては、上記表面導体層を、上記半導体活性層との界面にヘテロ接合が形成される構成としたので、上記半導体活性層表面の、ゲート電極とドレイン電極との間の領域には、2次元電子ガス層が形成され、空乏層が形成されることはなく、この領域でのチャンネル厚を、この領域上にショットキー接合やPN接合を形成した場合に比べて実質的に厚くできる。

【0033】この発明（請求項9）においては、請求項6記載の電界効果トランジスタにおいて、上記表面導体層を構成する半導体層を、その一部がドレイン電極と半導体活性層との間に延在する構造とし、上記ドレイン電極と半導体活性層との間に、該半導体活性層と同一導電型の半導体コンタクト層を設けたので、表面導体層の形成を半導体層のパターニングにより簡単に形成可能である。

【0034】この発明（請求項10）においては、半導体活性層の一主面の、ゲート電極とドレイン電極との間

の領域、及びゲート電極とソース電極との間の領域に、それぞれ上記半導体活性層との接触面にヘテロ接合障壁を形成するドレイン側、及びソース側表面導体層を、該ゲート電極と接触しないよう配置したので、半導体活性層の、ゲート電極のソース側及びドレイン側に位置する領域での表面空乏層はなくなり、ソース側の寄生抵抗を著しく低減することができ、これによりドレイン電流の増大による高出力化だけでなく、FETの高利得化、高効率化を図ることができる。

10 【0035】この発明（請求項11）においては、半導体活性層の一主面の、ゲート電極の両側に、バンドギャップエネルギーが該半導体活性層より大きい表面半導体層を、ゲート電極に接触しないよう配置するとともに、該各表面半導体層上に、上記活性層と同一導電型の半導体コンタクト層を配置し、該各半導体コンタクト層上にソース電極及びドレイン電極を配置したので、上記請求項10に係る発明と同様、高出力化だけでなく、FETの高利得化、高効率化を図ることができる。

20 【0036】この発明（請求項12）においては、基板表面の半導体活性層上に、ソース電極及びドレイン電極間の中央部分からドレイン電極にまたがるショットキー表面電極を形成し、その後上記中央部分に、ショットキー表面電極の一端部を含む開口部を有する耐エッチング膜を形成し、これをマスクとして、上記ショットキー表面電極を、上記開口内に露出する部分から該開口周縁部の下側に位置する部分までエッチングし、さらに上記耐エッチング膜を用いたゲート金属の蒸着リフトオフにより、ショットキーゲート電極を形成するので、上記ゲート電極と非接触のショットキー表面電極をドレイン側に有する構造のFETを簡単に製造することができる。

30 【0037】この発明（請求項13）においては、上記と同様に耐エッチング膜を形成した後、ショットキー表面電極のエッチングを行い、その後上記耐エッチング膜及びショットキー表面電極をマスクとして、半導体活性層をエッチングしてリセスを形成し、その後上記耐エッチング膜をマスクとする蒸着リフトによりゲート電極を形成するようにしたので、ゲート電極が半導体活性層のリセス内に配置され、リセスとドレイン電極との間にショットキー金属表面層を有する構造のFETを簡単に製造することができる。

40 【0038】この発明（請求項14）においては、基板表面の第1導電型の半導体活性層上に第2導電型の半導体層を形成し、該半導体層のドレイン電極を配置すべき領域に第1導電型不純物の注入により高濃度コンタクト層を形成し、そのパターニングによりゲート電極からドレイン電極に跨がる部分を残し、残った第2導電型半導体層上に、ドレイン電極を上記コンタクト層と接触させて配置したので、ゲート電極とドレイン電極との間の半導体活性層表面上にゲート電極と非接触の半導体層を有し、ドレイン電極と半導体活性層との間にコンタクト層

を有する構造のFETを製造することができる。

【0039】この発明(請求項15)においては、基板表面の第1導電型の半導体活性層上にこれよりバンドギャップエネルギーの大きい第1導電型の第1半導体層、及びこれよりバンドギャップエネルギーが小さくかつ濃度が高い第1導電型の第2半導体層を形成した後、第2半導体層上にソース電極及びドレイン電極を形成し、その後ソース電極及びドレイン電極間のゲート電極が配置されるべき部分に耐エッチング膜開口を有する耐エッチング膜を形成し、これをマスクとして、上記第1半導体層に対するエッチングレートが第2半導体層に対するエッチングレートより遅いエッチング処理を施して、上記第2半導体層に上記耐エッチング膜開口より広い第2半導体層開口を形成し、続いて上記耐エッチング膜をマスクとして、上記第2半導体層に対するエッチングレートが第1半導体層に対するエッチングレートより遅いドライエッチング処理を施して、上記第1半導体層に、上記耐エッチング膜開口より広くかつ第2半導体層開口より小さい第1半導体層開口を形成し、最後にゲート金属の蒸着リフトオフにより、上記第1及び第2半導体層と非接触のショットキーゲート電極を上記第1半導体層開口内に形成するので、半導体活性層との界面にヘテロ接合が形成される半導体層を、ゲート電極両側の活性層表面に有する構造のFETを簡単に製造することができる。

【0040】

【実施例】以下、この発明の実施例を図について説明する。

実施例1. 図1は本発明の第1の実施例による電界効果トランジスタを説明するための図であり、図1(a)はその断面図、図1(b)はそのチャネル部の構造を示す拡大図である。また図2(a)～図2(f)は本実施例の電界効果トランジスタの製造方法を工程順に示す断面図である。

【0041】図において、101は本実施例のMESFETで、従来のMESFET201と同様、半絶縁性GaAs基板1、該基板1上に形成された厚さ0.1～3μm程度のノンドープGaAsバッファ層2、及び該バッファ層2上に形成された厚さ500～3000オングストロームのn型GaAs活性層3を有し、上記活性層3表面の所定領域上にはA1等からなるショットキーゲート電極6が配置され、該活性層3表面の、ゲート電極6の両側にはAuGe/Ni/Au等からなるソース電極4及びドレイン電極5が配置されている。

【0042】そしてこの実施例のMESFET101では、上記活性層3表面の、ゲート電極6とドレイン電極5との間の領域に、A1等からなるショットキー表面電極211がドレイン電極5と接触し、かつゲート電極に近接するよう形成されている。このような構造のMESFET101では、ゲート電極の電位が $V_g > 0$ である時、活性層表面のゲート電極6の下部からドレイン電極

にかけて、図1(b)に示すように空乏層Aが形成される。

【0043】次に動作について説明する。従来技術において説明した様にMESFETは、通常ソース電極4に接地電位($V_s = 0$)が、ドレイン電極5に任意の正電位($V_d > 0$)が与えられ、ゲート電極6が任意の負電位($V_g < 0$)にバイアスされる。この時ショットキー表面電極211とドレイン電極5は接触しているため、表面電極211の電位 V_{211} も正電位($V_{211} > 0$)となる。

【0044】通常、GaAsに対する金属材料のショットキー障壁の高さ(バリアハイト)は、いずれの金属でも $\phi_{bn} (\approx 0.7) \text{ eV}$ であり、ドレイン電圧 V_d は通常1V以上で用いられるため、動作時には、表面電極211の電位 V_{211} は $V_{211} > \phi_{bn}$ となっており、GaAs活性層3とショットキー表面電極211との間は常に順方向でブレイクダウンしている状態、つまり順方向電流が流れる状態となっており、ショットキー接合による空乏層厚は、最も薄い状態でクリップしている。

【0045】つまり図1(b)に示すように、GaAs活性層3の、ショットキー表面電極211が形成されている部分での空乏層の厚さ t_2 は、図20(b)に示す表面ポテンシャルによる空乏層厚 t_s より薄くなる。またショットキー表面電極211に印加されるバイアス V_{211} は、動作中常にショットキー障壁高さ ϕ_{bn} より大きくなっているため、このショットキー表面電極211に印加されるバイアスによりドレイン電流が変調されることはない。

【0046】このため、活性層3の厚さ a を一定にしたままで、つまりピンチオフ電圧 V_p やドレイン耐圧 I_{dss} を増大させることなく、ドレイン最大電流 I_{dmax} は大きくすることができ、これにより、より大きなRF出力を得ることができる。

【0047】また、ゲート電極6とショットキー表面電極211との離間距離 x を変えることにより、ゲート近傍の電界分布、つまり空乏層の形状を任意に変化させることができ、これによってFETの耐圧をコントロールできる。

【0048】次に製造方法について説明する。半絶縁性GaAs基板(ウエハ)1上にノンドープGaAsバッファ層2及びn型GaAs活性層3を順次形成し、該活性層3上にソース電極4及びドレイン電極5を対向させて形成した後、全面にショットキー金属膜11を蒸着し、さらに該金属膜11上に、写真製版により所定パターンの第1のフォトレジスト膜311を形成する(図2(a))。

【0049】次に、上記フォトレジスト膜311をマスクとして上記ショットキー金属膜11を、その一部が、ソース及びドレイン電極間の中央部からドレイン電極上に跨がる領域上にショットキー表面電極211として残

10

20

30

40

50

るようエッチングする(図2(b))。

【0050】続いて、全面に塗布した第2のフォトレジスト膜312を写真製版によりパターンニングして、レジスト開口312aをその内部に上記ショットキー表面電極211の中央側端が位置するよう形成する(図2(c))。

【0051】その後、上記第2のフォトレジスト膜312をマスクとして、上記ショットキー表面電極211を、上記レジスト開口312a内に露出する部分から該レジスト開口周縁部の下側に位置する部分までサイドエッチングする(図2(d))。

【0052】そして全面にWSi等のゲート金属材料6aを蒸着し(図2(e))、上記第2のフォトレジスト膜312の除去によりその上の金属材料6aをリフトオフして、ショットキーゲート電極6を形成し、これによりMESFET101を完成する(図2(f))。

【0053】このように本実施例では、GaAs活性層3の表面の、ドレイン電極5とゲート電極6との間の領域に、上記活性層との接触面にショットキー接合を形成するショットキー表面電極を、ゲート電極と接触しないよう形成し、上記ショットキー表面電極にドレイン電極と同一電位が印加されるよう構成したので、活性層表面の、ゲート電極及びドレイン電極間での表面空乏層の厚さが常にゲート電極下側の空乏層厚より小さくなり、このため上記表面空乏層により活性層厚が律速されることはなくなり、最大ドレイン電流 I_{Dmax} を向上させてRF出力の増大を図ることができる。

【0054】実施例2. 図3は本発明の第2の実施例による電界効果トランジスタの構造を示す断面図であり、図4(a)～図4(e)は本実施例の電界効果トランジスタの製造方法を工程順に示す断面図である。

【0055】図において、102は本実施例のMESFETで、このMESFET102では、n型GaAs活性層3の、ソース電極4とドレイン電極5との間の中央部分に、深さ0.1～0.5 μ mのゲートリセス13が形成されており、ゲート電極6はこのゲートリセス13内に配置されている。また上記活性層3の、ゲートリセス13とドレイン電極5との間の領域には、Al等からなるショットキー表面電極212がドレイン電極5と接触して配置されている。その他の構成は第1の実施例と同様である。

【0056】次に製造方法について説明する。図2(a)～図2(c)に示す処理と同様にして、GaAs活性層3上にソース電極4、ドレイン電極5、及びショットキー表面電極211を形成し、その上に第2のフォトレジスト膜312を形成した後(図4(a)～図4(c))、上記第2のフォトレジスト膜312をマスクとして、上記ショットキー表面電極211及びGaAs活性層3の表面をエッチングしてリセス13を形成する。その後全面にゲート電極材料6aを形成する(図4(d))。

【0057】そして上記第2のフォトレジスト膜312の除去によりその上の金属材料6aをリフトオフして、ショットキーゲート電極6を形成し、これによりMESFET102を完成する(図4(e))。この図4(d)及び図4(e)に示す工程において、フォトレジスト膜312をマスクにショットキー表面電極211を異方性エッチング(RIE等のドライエッチング)し、次いでGaAs活性層3の表面をエッチングしてリセス13を形成し、次いでショットキー表面電極211をサイドエッチングし、次いでゲート電極材料6aを形成し、この後、リフトオフを行った場合は、図4(e)に示すように、リセス13の中心にショットキーゲート電極6が形成される。一方、フォトレジスト膜312をマスクにショットキー表面電極211を等方性エッチングし、次いでGaAs活性層3の表面をエッチングしてリセス13を形成し、次いでゲート電極材料6aを形成し、この後、リフトオフを行った場合は、ショットキー表面電極211の等方性エッチング時にこれのサイドエッチングが進行するので、上記の場合に比べてリセス13のドレイン電極5側の幅が大きくなる。

【0058】このような構成の第2の実施例では、活性層3に形成したゲートリセス13内にゲート電極6を配置しているため、最大ドレイン電流 I_{Dmax} を決定するチャネル厚は、活性層3のリセス直下の領域のみで決まり、またGaAs活性層3の表面空乏層によりチャネル厚が影響を受ける部分は、リセス底部の活性層露出部分のみとなって上記実施例1に比べて狭いものとなる。このため表面ポテンシャル ϕ_s による表面空乏層により最大ドレイン電流 I_{Dmax} が低下するのを抑制することができる。さらにショットキー表面電極211のリセス側端とリセス端との距離により、出力側の電界分布を任意に変化でき、これにより出力抵抗($R_d \propto 1/gd$)並びに耐圧を任意にコントロールできる。

【0059】実施例3. 図5は本発明の第3の実施例による電界効果トランジスタの構造を示す断面図であり、図6(a)～図6(q)は本実施例の電界効果トランジスタの製造方法を工程順に示す断面図である。

【0060】図において、103は本実施例のゲートリセス13を有するMESFETで、このMESFET103では、ゲート電極6とドレイン電極5との間に形成されたショットキー表面電極213は、そのゲート電極側の端部がリセス13の側面13aを介してリセス底部13bのゲート電極近傍まで延びた構造となっており、その他の構成は上記第2の実施例によるMESFETと同一である。

【0061】次に製造方法について説明する。半絶縁性GaAs基板1上にノンドープGaAsバッファ層2及びn型GaAs活性層3を形成した後、該活性層3上にソース電極4及びドレイン電極5を形成し、その上に、上記ソース電極及びドレイン電極間の中央部分にレジス

ト開口331aを有する第1のフォトリソ膜331を形成する(図6(a))。

【0062】次に、上記第1のフォトリソ膜331をマスクとして上記活性層3を選択的に等方性のエッチングを施して、上記活性層表面にゲートリセス13を形成する(図6(b))。

【0063】その後全面にゲート金属材料6aを蒸着し(図6(c))、上記第1のフォトリソ膜331を除去してその上のゲート金属材料6aをリフトオフして、上記ゲートリセス13内にゲート電極6を形成する(図6(d))。

【0064】続いて、第2のフォトリソ膜332を塗布しパターニングして、ゲートリセス13内のゲート電極近傍からドレイン電極5上に跨がる領域上のレジスト膜を除去し(図6(e))、全面にショットキー金属膜11を形成する(図6(f))。

【0065】そして上記第2のフォトリソ膜332の除去により、その上のショットキー金属膜11を選択的に除去して、ドレイン電極5上からゲートリセス13内のゲート電極近傍に跨がるショットキー表面電極213を形成し、本実施例のMESFETを完成する(図6(g))。

【0066】この第3の実施例のMESFET103では、活性層3の、ゲート電極とドレイン電極との間に位置するショットキー表面電極213を、そのゲート電極側端部が、ゲートリセス側面13bを介してゲートリセス底面13aまで至る構造としたので、リセス底面の、ゲート電極両側部分でも表面ポテンシャルによる空乏層の厚さを抑えることができ、最大ドレイン電流 I_{dmax} を大きく向上させることができる。

【0067】実施例4、図7は本発明の第4の実施例による電界効果トランジスタの構造を示す断面図であり、図8(a)～図8(f)は本実施例の電界効果トランジスタの製造方法を工程順に示す断面図である。

【0068】図において、104は本実施例のMESFETで、このMESFET104では、n型GaAs活性層3表面の、ドレイン電極5が配置される部分には厚さ200～5000オングストローム、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上のn⁺型GaAsコンタクト層224bが形成され、該コンタクト層224bに隣接して厚さ200～5000オングストローム、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上のp型GaAs表面層224aが形成されている。そしてドレイン電極5は上記コンタクト層224b上に一部が上記p型GaAs表面層3上に重なるよう配置されている。その他の構成は第1の実施例のMESFET101と同一である。

【0069】ここで、上記p型GaAs表面層224aは上記第1実施例のショットキー表面電極211と同様、ゲート電極6とドレイン電極との間の領域での表面ポテンシャルによる空乏層の厚さを抑制する働きがあ

り、また上記コンタクト層224bは、ドレイン電極5とGaAs活性層3との接合をオーミック接合とする働きがある。

【0070】次に製造方法について説明する。半絶縁性GaAs基板1上にノンドープGaAsバッファ層2及びn型GaAs活性層3を形成した後、全面にp型GaAs半導体層224を形成し、第1のフォトリソ膜141をマスクとして選択的なイオン注入を行って、n⁺型GaAsコンタクト層224bを形成する(図8(a))。

【0071】次に、上記第1のフォトリソ膜141を除去した後、上記p型GaAs半導体層224上に第2のフォトリソ膜142を形成し(図8(b))、これを用いて上記半導体層224をパターニングして、上記コンタクト層224bに隣接するp型GaAs表面層224aを形成し、全面に第2のフォトリソ膜142を形成する(図8(c))。

【0072】その後、該フォトリソ膜142を除去し、ソース電極4をGaAs活性層3の所定の領域上に形成するとともに、ドレイン電極5を上記コンタクト層224b上に一部がn型GaAs表面層224a上に重なるよう形成する(図8(d))。

【0073】次に、全面に第3のフォトリソ膜143を形成し、そのパターニングにより上記n型GaAs表面層2に近接するレジスト開口143aを形成し、その後全面にゲート金属材料6aを蒸着する(図8(e))。

【0074】そして、上記第3のフォトリソ膜143の除去によりその上のゲート金属材料6aを除去してゲート電極6を形成し、MESFET104を完成する(図8(f))。

【0075】この実施例のMESFET104では、GaAs活性層3の、ゲート電極とドレイン電極との間の露出部分に、上記第1～第3の実施例のようにショットキー表面電極を形成するのではなく、p型GaAs表面層224aを形成しているため、該p型GaAs表面層224aの濃度により、バリアハイト ϕ_{Bp} をコントロールすることができる。

【0076】具体的には、上記第1～3の実施例では、バリアハイト ϕ_{Bn} は、～0.7V程度であるため、RF動作中、ドレイン電極5に印加される電圧 $V_d (=V_{21})$ が0.7V以下となると、ショットキー表面電極211直下のチャネル領域での空乏層厚が厚くなり、ドレイン電流 I_d が変調される場合があるが、この実施例では、上記バリアハイト ϕ_{Bp} をコントロールできるため、このような問題を回避することができる。

【0077】実施例5、図9は本発明の第5の実施例による電界効果トランジスタの構造を示す断面図である。図において、105は本実施例のMESFETで、このMESFET105では、n型GaAs活性層3の、ソ

ース電極4とドレイン電極5との間の中央部分には、ゲートリセス13が形成されており、ゲート電極6はこのゲートリセス13内に配置されている。また上記ドレイン電極5はコンタクト層224b上に形成されており、上記ゲート電極6とゲートリセス13との間にはp型GaAs表面層225aがドレイン電極5に接触して形成されている。その他の構成は第4の実施例と同様である。

【0078】この実施例のMESFETの製造方法は、図8に示す上記第4の実施例の製造方法とは、GaAs半導体層224をバターニングした後(図8(c))、さらに写真製版技術を用いてGaAs活性層3を選択的にエッチングしてゲートリセスを形成する工程を有する点のみ異なる。この実施例では、第2の実施例と同様の効果がある。

【0079】実施例6. 図10は本発明の第6の実施例による電界効果トランジスタの構造を示す断面図である。図において、106は本実施例のゲートリセス13を有するMESFETで、このMESFET106では、ゲート電極6とドレイン電極5との間に形成されたp型GaAs表面層226aは、そのゲート電極側の端部がリセス13の側面13aを介してリセス底面13bのゲート電極近傍まで延びた構造となっており、その他の構成は上記第5の実施例によるMESFETと同一である。

【0080】この実施例のMESFETの製造方法は、GaAs活性層3の表面にゲートリセス、ゲート電極、並びに、ソース電極及びドレイン電極を形成した後、p型GaAs半導体層のバターニングを行ってp型GaAs表面層226aを形成する点が上記第5の実施例と異なっている。

【0081】この実施例では、活性層3の、ゲート電極とドレイン電極との間に位置するp型GaAs表面層226aを、そのゲート電極側端部が、ゲートリセス側面13bを介してゲートリセス底面13aまで到る構造としたので、上記第6の実施例と同様の効果がある。

【0082】実施例7. 図11は本発明の第7の実施例による電界効果トランジスタの構造を説明するための図であり、図11(a)はその断面構造を示す図、図11(b)は上記トランジスタを構成する半導体層のバンド構造を示す図である。

【0083】図において、107は本実施例のMESFETで、これは上記第4実施例におけるp型GaAs表面層224aに代えて、エネルギーバンドギャップがGaAs活性層3より大きい厚さ20~1000オングストローム、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下のn型AlGaAs表面層227aを、また、n⁺型GaAsコンタクト層224bに代えて、厚さ20~1000オングストローム、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上のn⁺型AlGaAsコンタクト層227bを備えたもの

で、その他の構成は上記第4の実施例のMESFET104と同一である。

【0084】なお、この実施例のMESFET107の製造プロセスについては、活性層3の、ゲート電極とドレイン電極との間に形成する半導体層の材料以外は、第4実施例のMESFET104の製造プロセスと全く同一である。

【0085】このような構成のMESFET107では、上記n型AlGaAs表面層227aとn型GaAs活性層3との間には、ヘテロ接合が形成されることとなる。つまり図11(b)に示すように、n型AlGaAs表面層227aの電位 V_s が0並びに正であってもn型GaAs活性層3とn型AlGaAs表面層227aとの界面には、バンドギャップと電子親和力の差により三角ポテンシャル中に高濃度な2次元電子ガス(2DEG)領域が形成される。

【0086】またn型AlGaAs表面層227a中の電子は2DEG領域へ移動しているため、n型AlGaAs表面層227aは空乏化している。従ってn型GaAs活性層3のn型AlGaAs表面層227aとの界面には2DEGによる導電層が形成され、空乏層は形成されない。このため、第4実施例のp型GaAs表面層224aや第1実施例のショットキー表面電極211をゲート電極6とドレイン電極5との間に配置した場合より、さらにゲート電極のドレイン側の活性層部分でのチャネル厚を実質厚くでき、最大ドレイン電流 I_{dmax} ひいてはRF出力をより一層向上できる。

【0087】実施例8. 図12は本発明の第8の実施例による電界効果トランジスタの構造を示す断面図である。図において、108は本実施例のMESFETで、これは上記第5実施例におけるp型GaAs表面層225aに代えて、エネルギーバンドギャップがGaAs活性層3より大きいn型AlGaAs表面層228aを、また、n⁺型GaAsコンタクト層224bに代えて、n⁺型AlGaAsコンタクト層227bを備えたもので、その他の構成は上記第5の実施例のMESFET105と同一である。

【0088】なお、この実施例のMESFET108の製造プロセスについては、活性層3の、ゲート電極とドレイン電極との間に形成する半導体層の材料以外は、第5実施例のMESFET105の製造プロセスと全く同一である。

【0089】このような構成の本実施例のMESFET108では、上記n型AlGaAs表面層228aとn型GaAs活性層3との間には、ヘテロ接合が形成されることとなり、第5実施例のp型GaAs表面層225aや第2実施例のショットキー表面電極212をゲート電極6とドレイン電極5との間に配置した場合より、さらにゲート電極のドレイン側の活性層部分でのチャネル厚を実質厚くでき、最大ドレイン電流 I_{dmax} ひいて

はRF出力をより一層向上できる。

【0090】実施例9. 図13は本発明の第9の実施例による電界効果トランジスタの構造を示す断面図である。図において、109は本実施例のMESFETで、これは上記第6実施例におけるp型GaAs表面層226aに代えて、エネルギーバンドギャップがGaAs活性層3より大きいn型AlGaAs表面層229aを、また、n⁺型GaAsコンタクト層224bに代えて、n⁺型AlGaAsコンタクト層227bを備えたもので、その他の構成は上記第6の実施例のMESFET106と同一である。

【0091】なお、この実施例のMESFET109の製造プロセスについては、活性層3の、ゲート電極とドレイン電極との間に形成する半導体層の材料以外は、第6実施例のMESFET106の製造プロセスと全く同一である。

【0092】このような構成の本実施例のMESFET109では、上記n型AlGaAs表面層229aとn型GaAs活性層3との間には、ヘテロ接合が形成されることとなり、第6実施例のp型GaAs表面層226aや第3実施例のショットキー表面電極213をゲート電極6とドレイン電極5との間に配置した場合より、さらにゲート電極のドレイン側の活性層部分でのチャネル厚を実質厚くでき、最大ドレイン電流I_{dmax}ひいてはRF出力をより一層向上できる。

【0093】実施例10. 図14は本発明の第10の実施例による電界効果トランジスタの構造を示す断面図であり、図15(a)～図15(f)は本実施例の電界効果トランジスタの製造方法を工程順に示す断面図である。

【0094】図において、110は本実施例のMESFETで、これは第7実施例のMESFET107の構成において、n型GaAs活性層3の、ゲート電極とソース電極との間の領域に、これらの電極に接触しないn型AlGaAs表面層を設けたものである。ここでは230a1はドレイン側のn型AlGaAs表面層で、第7実施例における表面層227aと全く同一構成であり、230a2はソース側のn型AlGaAs表面層である。また230bはドレイン電極5と活性層3との間に配置されたn⁺AlGaAsコンタクト層で、第7実施例における表面層227bと全く同一構成である。

【0095】次に製造方法について説明する。半絶縁性GaAs基板1上にノンドープGaAsバッファ層2及びn型GaAs活性層3を形成した後、全面にn型AlGaAs半導体層230を形成し、第1のフォトリソ膜141をマスクとして選択的なイオン注入を行って、n⁺型AlGaAsコンタクト層230bを形成する(図15(a))。

【0096】次に、上記n型AlGaAs半導体層230をホトリソグラフィ技術によりパターニングして、上記コンタクト層230bに隣接するn型AlGaAs表

面層230a1と、該表面層230a1から一定間隔離れて位置するn型AlGaAs表面層230a2を形成し、全面に第2のフォトリソ膜142を形成する。その後、該フォトリソ膜142をパターニングして、上記AlGaAs表面層230a1の、コンタクト層230bとは反対側の端部をその内部に含むレジスト開口142aを形成する(図15(b))。

【0097】続いて、上記フォトリソ膜142をマスクとして、上記AlGaAs表面層230a1を、そのレジスト開口内の露出部分からレジスト開口周縁部の下側部分までサイドエッチングする(図15(c))。

【0098】そして、第2のフォトリソ膜142を除去した後、ソース電極4をGaAs活性層3の所定の領域上に形成するとともに、ドレイン電極5を上記コンタクト層230b上に一部がn型AlGaAs表面層230a1上に重なるよう形成する(図15(d))。

【0099】次に、全面に第3のフォトリソ膜143を形成し、そのパターニングにより上記n型GaAs表面層2に近接するレジスト開口143aを形成し、その後全面にゲート金属材料6aを蒸着する(図15(e))。

【0100】そして、上記第3のフォトリソ膜143の除去によりその上のゲート金属材料6aを除去してゲート電極6を形成し、MESFET110を完成する(図15(f))。

【0101】この実施例のMESFET110では、ゲート電極のドレイン側だけでなく、ソース側のn型GaAs活性層3上にも、n型AlGaAs表面層230a2を設けたので、活性層3のゲート電極6のソース側及びドレイン側領域での表面ポテンシャルによる空乏層はなくなり、2DEGの高移動度層ができることとなり、このため、最大ドレイン電流の増大のみならず、ソース側の寄生抵抗(R_s)を著しく低減でき、これにより高出力だけでなく、FETの高利得化、高効率化を図ることができる。

【0102】実施例11. 図16は本発明の第11の実施例による電界効果トランジスタの構造を示す断面図である。図において、111は本実施例のMESFETで、このMESFET111では、n型GaAs活性層3の、ソース電極4とドレイン電極5との間の中央部分には、ゲートリセス13が形成されており、ゲート電極6はこのゲートリセス13内に配置されている。また上記ドレイン電極5はコンタクト層230b上に形成されており、上記ドレイン電極5とゲートリセス13の間にはn型AlGaAs表面層231a1がドレイン電極5に接触して形成されており、上記ソース電極4とゲートリセス13の間にはn型AlGaAs表面層231a2がソース電極5に接触しないよう形成されている。その他の構成は第10の実施例と同様である。

【0103】この実施例のMESFETの製造方法は、

図15に示す上記第10の実施例の製造方法とは、上記第2のフォトリソ膜142を用いてp型GaAs表面層224aをサイドエッチングした後、該第2のフォトリソ膜142をマスクとしてGaAs活性層3をエッチングしてゲートリセスを形成する工程を有する点のみ異なる。

【0104】この実施例では、上記第10の実施例のMESFET110の構成において、n型GaAs活性層3を、その表面にゲートリセス13を有する構造とし、該リセス13とドレイン電極5との間にn型AlGaAs表面層230a1を配置し、該リセス13とソース電極4との間にn型AlGaAs表面層230a2を配置したので、チャンネル厚はリセス直下の領域での厚さにより決まることとなり、しかもGaAs活性層3の表面空乏層によりチャンネル厚が影響を受ける部分は、リセス底面部の活性層露出部分のみとなって上記実施例10に比べて狭いものとなる。これにより上記第10実施例に比べて表面空乏層によるドレイン電流の低下をさらに抑制することができ、またソース抵抗をさらに低減することができる。

【0105】実施例12. 図17は本発明の第12の実施例による電界効果トランジスタの構造を示す断面図である。図において、112は本実施例のゲートリセス13を有するMESFETで、このMESFET112では、ゲート電極6とドレイン電極5との間に形成されたn型AlGaAs表面層232a1は、そのゲート電極側の端部がリセス13の側面13aを介してリセス底面13bのゲート電極近傍まで延び、かつゲート電極6とソース電極4との間に形成されたn型AlGaAs表面層232a2は、そのゲート電極側の端部がリセス13の側面13aを介してリセス底面13bのゲート電極近傍まで延びた構造となっており、その他の構成は上記第11の実施例によるMESFETと同一である。

【0106】この実施例のMESFETの製造方法は、GaAs活性層3の表面にゲートリセス、ゲート電極、並びにソース及びドレイン電極を形成した後、ソース側及びドレイン側のn型AlGaAs表面層232a1、232a2を形成する点が上記第11の実施例と異なっている。

【0107】この実施例では、活性層3の、ゲート電極とドレイン電極との間に位置するn型AlGaAs表面層232a1を、そのゲート電極側端部が、ゲートリセス側面13bを介してゲートリセス底面13aまで延び、かつ活性層3の、ゲート電極とソース電極との間に位置するn型AlGaAs表面層232a2を、そのゲート電極側端部が、ゲートリセス側面13bを介してゲートリセス底面13aまで延びる構造としたので、上記第11の実施例に比べて、リセス底面の、ゲート電極両側部分でも表面ポテンシャルによる空乏層の厚さを抑えることができ、最大ドレイン電流 I_{dmax} をさらに大

きく向上させることができる効果がある。

【0108】実施例13. 図18は本発明の第13の実施例による電界効果トランジスタの構造を示す断面図であり、図19(a)～図19(e)は本実施例の電界効果トランジスタの製造方法を工程順に示す断面図である。

【0109】図において、113は本実施例のMESFETで、このMESFET113は、上述した他の実施例のMESFETと同様、半絶縁性GaAs基板1上にノンドープGaAsバッファ層2を介して形成されたn型GaAs活性層3を有している。そしてこの実施例では、上記活性層3上のゲート電極6の両側には、ドレイン側及びソース側n型AlGaAs表面層233a1、233a2が形成されており、さらに該両表面層上にドレイン側及びソース側n⁺コンタクト層3a1、3a2を介してソース電極4及びドレイン電極5が形成されている。

【0110】次に製造方法について説明する。半絶縁性GaAs基板1上にノンドープGaAsバッファ層2を介して、ピンチオフ電圧 V_p 等で決まる所望厚さのn型GaAs活性層を形成し、その上にこれよりエネルギーバンドギャップの高いn型AlGaAs層233を形成する。続いて該AlGaAs層233上にこれよりエネルギーバンドギャップの低いn⁺型GaAsコンタクト層3aを形成し、その上にソース電極4及びドレイン電極5を形成する。その後ソース電極及びドレイン電極間の所定位置にレジスト開口151aを有するレジスト膜151を形成する(図19(a))。

【0111】次に、上記AlGaAs層233に対するエッチングレートがGaAs層3aに対するものより充分遅いエッチング処理を施して、上記GaAs層3aを選択的にエッチングする(図19(b))。

【0112】さらにドライエッチ等で上記レジスト膜151をマスクとして上記AlGaAs層233を選択的にエッチングする(図19(c))。

【0113】その後、全面にゲート金属材料6aを蒸着し(図19(d))、上記レジスト膜151の除去によりその上のゲート金属材料6aをリフトオフしてゲート電極6を形成し、本実施例のMESFET113を完成する。

【0114】このような構成の本実施例では、上記第10実施例のMESFET110と同様、ゲート電極6のドレイン側だけでなく、ソース側領域での表面ポテンシャルによる空乏層もなくなり、2DEGの高移動度層ができることとなり、このため、最大ドレイン電流を増大できるだけでなく、入力側の寄生抵抗(R_s)を著しく低減できる。これにより高出力だけでなく、FETの高利得化、高効率化を図ることができる効果がある。

【0115】さらに上記第10実施例のMESFETの製造方法に比べて、製造工程が簡単になるという効果もある。

【0116】

【発明の効果】以上のようにこの発明（請求項1）に係る電界効果トランジスタによれば、半導体活性層の一主面の、ドレイン電極とゲート電極との間の領域に、上記半導体活性層との接触面にエネルギー障壁を形成する表面導体層を該ゲート電極と接触しないよう形成し、上記表面導体層にドレイン電極と同一電位を印加するよう構成したから、半導体活性層表面の、ゲート電極及びドレイン電極間での表面空乏層の厚さが常にゲート電極下側の空乏層厚より小さくなり、このため上記表面空乏層により活性層厚が律速されることはなくなり、最大ドレイン電流 I_{Dmax} を向上させてRF出力の増大を図ることができる効果がある。

【0117】この発明（請求項2）によれば、上記電界効果トランジスタにおいて、上記表面導体層をその一部がドレイン電極に接触した構造としたので、表面導体層にはドレイン電圧がそのまま印加されることとなり、上記表面導体層にドレイン電極と同一電位の電圧を印加する配線やコンタクトホールが不要となる効果がある。

【0118】この発明（請求項3）によれば、請求項2の電界効果トランジスタにおいて、上記半導体活性層を、ゲート電極が配置されるリセスを有する構造としたので、チャンネル厚の最小値はリセス直下の領域でのチャンネル厚さにより決まり、しかも半導体活性層の、リセス底面ドレイン側に露出する部分が狭い領域に限られることとなり、表面空乏層によるドレイン電流の低下を抑制することができる効果がある。

【0119】この発明（請求項4）によれば、請求項3の電界効果トランジスタにおいて、上記表面導体層を、その一部が上記リセス側面を経てリセス底面上に延在した構造としたので、半導体活性層のリセス下の領域での、表面空乏層によるチャンネル厚の低減を回避することができ、さらにドレイン電流を大きく向上させることができる効果がある。

【0120】この発明（請求項5）によれば、請求項2記載の電界効果トランジスタにおいて、上記表面導体層を、上記半導体活性層との界面にショットキー接合が形成される構成としたので、上記表面導体層の材料としてゲート電極と同一のものをを用いることができる効果がある。

【0121】この発明（請求項6、7）によれば、請求項2記載の電界効果トランジスタにおいて、上記表面導体層を、導電型が上記半導体活性層と逆である半導体層から構成したので、この半導体層の濃度を制御することにより、半導体活性層との間でのエネルギー障壁をコントロールできる効果がある。

【0122】この発明（請求項6、8）によれば、請求項2記載の電界効果トランジスタにおいて、上記表面導体層を、上記半導体活性層との界面にヘテロ接合が形成される構成としたので、上記半導体活性層表面の、ゲ

ト電極とドレイン電極との間の領域には、2次元電子ガス層が形成され、空乏層が形成されることはなく、この領域でのチャンネル厚を、この領域上にショットキー接合やPN接合を形成した場合に比べて実質的に厚くできる。

【0123】この発明（請求項9）によれば、請求項6記載の電界効果トランジスタにおいて、上記表面導体層を構成する半導体層を、その一部がドレイン電極と半導体活性層との間に延在する構造とし、上記ドレイン電極と半導体活性層との間に、該半導体活性層と同一導電型の半導体コンタクト層を設けたので、表面導体層の形成を半導体層のパターニングにより簡単に形成可能である効果がある。

【0124】この発明（請求項10）に係る電界効果トランジスタによれば、半導体活性層の一主面の、ゲート電極とドレイン電極との間の領域、及びゲート電極とソース電極との間の領域に、それぞれ上記半導体活性層との接触面にヘテロ接合障壁を形成するドレイン側、及びソース側表面導体層を、該ゲート電極と接触しないよう配置したので、半導体活性層の、ゲート電極のソース側及びドレイン側に位置する領域での表面空乏層はなくなり、ソース側の寄生抵抗を著しく低減することができ、これによりドレイン電流の増大による高出力化だけでなく、FETの高利得化、高効率化を図ることができる効果がある。

【0125】この発明（請求項11）に係る電界効果トランジスタによれば、半導体活性層の一主面の、ゲート電極の両側に、バンドギャップエネルギーが該半導体活性層より大きい表面半導体層を、ゲート電極に接触しないよう配置するとともに、該各表面半導体層上に、上記活性層と同一導電型の半導体コンタクト層を配置し、該各半導体コンタクト層上にソース電極及びドレイン電極を配置したので、上記請求項10に係る発明と同様、高出力化だけでなく、FETの高利得化、高効率化を図ることができる効果がある。

【0126】この発明（請求項12）に係る電界効果トランジスタの製造方法によれば、基板表面の半導体活性層上に、ソース電極及びドレイン電極間の中央部分からドレイン電極に跨がるショットキー表面電極を形成し、その後上記中央部分に、ショットキー表面電極の一端部を含む開口部を有する耐エッチング膜を形成し、これをマスクとして、上記ショットキー表面電極を、上記開口内に露出する部分から該開口周縁部の下側に位置する部分までエッチングし、さらに上記耐エッチング膜を用いたゲート金属の蒸着リフトオフにより、ショットキーゲート電極を形成するので、上記ゲート電極と非接触のショットキー表面電極をドレイン側に有する構造のFETを簡単に製造することができる効果がある。

【0127】この発明（請求項13）に係る電界効果トランジスタの製造方法によれば、上記と同様に耐エッチ

ング膜を形成した後、ショットキー表面電極のエッチングを行い、その後上記耐エッチング膜及びショットキー表面電極をマスクとして、半導体活性層をエッチングしてリセスを形成し、その後上記耐エッチング膜をマスクとする蒸着リフトによりゲート電極を形成するようにしたので、ゲート電極が半導体活性層のリセス内に配置され、リセスとドレイン電極との間にショットキー金属表面層を有する構造のFETを簡単に製造することができる効果がある。

【0128】この発明（請求項14）に係る電界効果トランジスタの製造方法によれば、基板表面の第1導電型の半導体活性層上に第2導電型の半導体層を形成し、該半導体層のドレイン電極を配置すべき領域に第1導電型不純物の注入により高濃度コンタクト層を形成し、そのバターニングによりゲート電極からドレイン電極に跨がる部分を残し、残った第2導電型半導体層上に、ドレイン電極を上記コンタクト層と接触させて配置したので、ゲート電極とドレイン電極との間の半導体活性層表面上にゲート電極と非接触の半導体層を有し、ドレイン電極と半導体活性層との間にコンタクト層を有する構造のFETを製造することができる効果がある。

【0129】この発明（請求項15）に係る電界効果トランジスタの製造方法によれば、基板表面の第1導電型の半導体活性層上にこれよりバンドギャップエネルギーの大きい第1導電型の第1半導体層、及びこれよりバンドギャップエネルギーが小さくかつ濃度が高い第1導電型の第2半導体層を形成した後、第2半導体層上にソース電極及びドレイン電極を形成し、その後ソース電極及びドレイン電極間のゲート電極が配置されるべき部分に耐エッチング膜開口を有する耐エッチング膜を形成し、これをマスクとして、上記第1半導体層に対するエッチングレートが第2半導体層に対するエッチングレートより遅いエッチング処理を施して、上記第2半導体層に上記耐エッチング膜開口より広い第2半導体層開口を形成し、続いて上記耐エッチング膜をマスクとして、上記第2半導体層に対するエッチングレートが第1半導体層に対するエッチングレートより遅いドライエッチング処理を施して、上記第1半導体層に、上記耐エッチング膜開口より広くかつ第2半導体層開口より小さい第1半導体層開口を形成し、最後にゲート金属の蒸着リフトオフにより、上記第1及び第2半導体層と非接触のショットキーゲート電極を上記第1半導体層開口内に形成するので、半導体活性層との界面にヘテロ接合が形成される半導体層を、ゲート電極両側の活性層表面に有する構造のFETを簡単に製造することができる効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施例による電界効果トランジスタを説明するための図であり、図1(a)はその断面図、図1(b)はそのチャネル部の構造を示す拡大図である。

【図2】 上記第1の実施例の電界効果トランジスタの製造方法を説明するための図であり、図2(a)～図2(f)は上記製造方法の主要工程における断面構造を示す図である。

【図3】 本発明の第2の実施例による電界効果トランジスタの構造を示す断面図である。

【図4】 上記第2の実施例の電界効果トランジスタの製造方法を説明するための図であり、図4(a)～図4(e)は上記製造方法の各工程における断面構造を示す図である。

【図5】 本発明の第3の実施例による電界効果トランジスタの構造を示す断面図である。

【図6】 上記第3実施例の電界効果トランジスタの製造方法を説明するための図であり、図6(a)～図6(q)は上記製造方法の主要工程における断面構造を示す図である。

【図7】 本発明の第4の実施例による電界効果トランジスタの構造を示す断面図である。

【図8】 上記第4実施例の電界効果トランジスタの製造方法を説明するための図であり、図8(a)～図8(q)は上記製造方法の主要工程における断面構造を示す図である。

【図9】 本発明の第5の実施例による電界効果トランジスタの構造を示す断面図である。

【図10】 本発明の第6の実施例による電界効果トランジスタの構造を示す断面図である。

【図11】 本発明の第7の実施例による電界効果トランジスタの構造を説明するための図であり、図11(a)はその断面構造を示す図、図11(b)は上記トランジスタを構成する半導体層のバンド構造を示す図である。

【図12】 本発明の第8の実施例による電界効果トランジスタの構造を示す断面図である。

【図13】 本発明の第9の実施例による電界効果トランジスタの構造を示す断面図である。

【図14】 本発明の第10の実施例による電界効果トランジスタの構造を説明するための図である。

【図15】 上記第10の実施例の電界効果トランジスタの製造方法を説明するための図であり、図15(a)～図15(q)は上記製造方法の主要工程における断面構造を示す図である。

【図16】 本発明の第11の実施例による電界効果トランジスタの構造を説明するための図である。

【図17】 本発明の第12の実施例による電界効果トランジスタの構造を説明するための図である。

【図18】 本発明の第13の実施例による電界効果トランジスタの構造を説明するための図である。

【図19】 上記第13の実施例の電界効果トランジスタの製造方法を説明するための図であり、図19(a)～図19(e)は上記製造方法の主要工程における断面構造を示す図である。

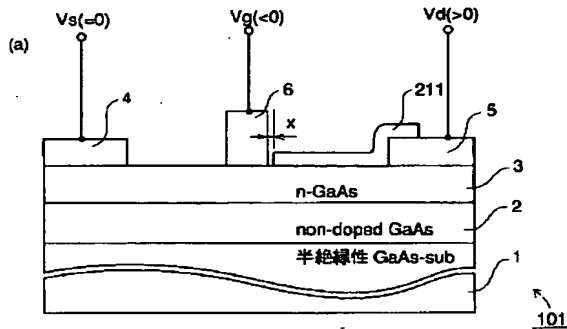
【図20】 従来のプレーナ構造の電界効果トランジスタを説明するための図であり、図20(a)はその断面構造を示す図、図20(b)はそのチャネル領域を拡大して示す断面図である。

【図21】 従来のリセス構造の電界効果トランジスタを説明するための断面図である。

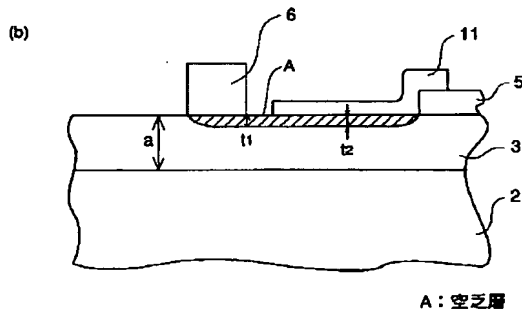
【符号の説明】

1 半絶縁性GaAs基板、2 ノンドープGaAsバッファ層、3 n型GaAs活性層、3a1 ドレイン側n⁺型GaAsコンタクト層、3a2 ソース側n⁺型GaAsコンタクト層、4 ソース電極、5 ドレイン電極、6 ショットキーゲート電極、13 ゲートリセス、13a リセス底面、13b リセス側面、101 101~113 MESFET、124 n型半導体層、1*

【図1】



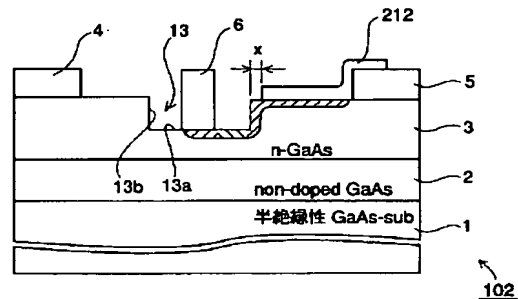
1: 半絶縁性GaAs基板
2: ノンドープバッファ層
3: n型活性層
4: ソース電極
5: ドレイン電極
6: ショットキーゲート電極
101: MESFET
211: ショットキー表面電極



A: 空乏層

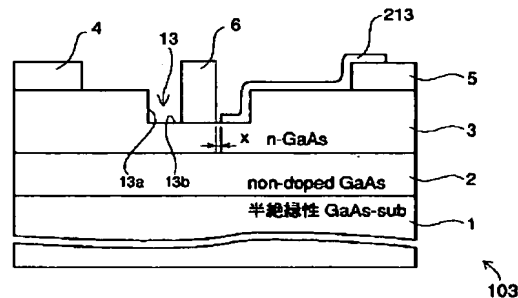
* 41, 311, 331 第1のフォトリソ膜、142, 312, 332 第2のフォトリソ膜、143 第3のフォトリソ膜、142a, 143a, 312a, 331a レジスト開口、211~213 ショットキー表面電極、224a, 225a, 226a p型GaAs表面層、224b n⁺型コンタクト層、227a, 230 n型AlGaAs層、227b n⁺型AlGaAsコンタクト層、228a, 229a n⁺型AlGaAs表面層、230a1, 231a1, 232a1, 233a1 ドレイン側n⁺型AlGaAs表面層、230a2, 231a2, 232a2, 233a2 ソース側n⁺型AlGaAs表面層、230b n⁺型AlGaAsコンタクト層。

【図3】



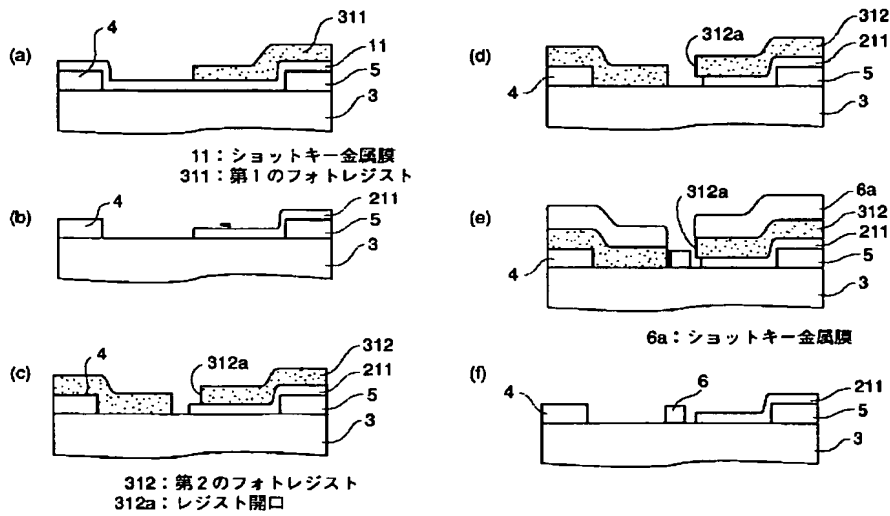
13: ゲートリセス
13a: リセス底面
13b: リセス側面
102: MESFET
212: ショットキー表面電極

【図5】

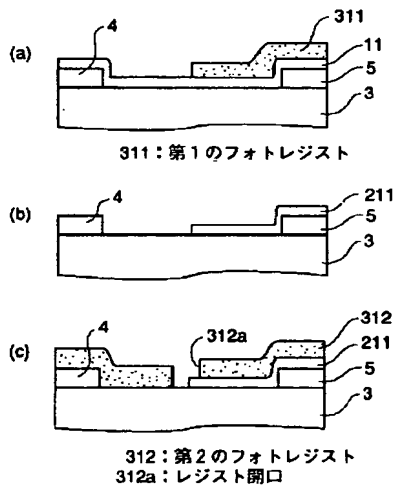


103: MESFET
213: ショットキー表面電極

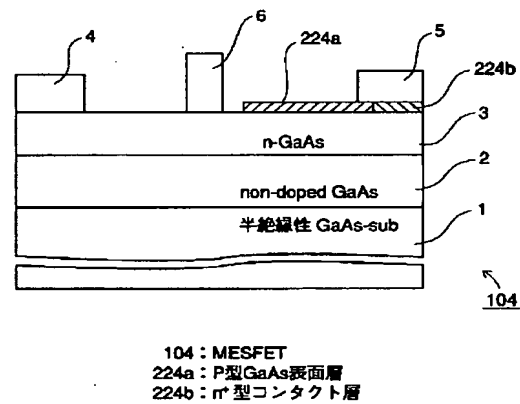
【図2】



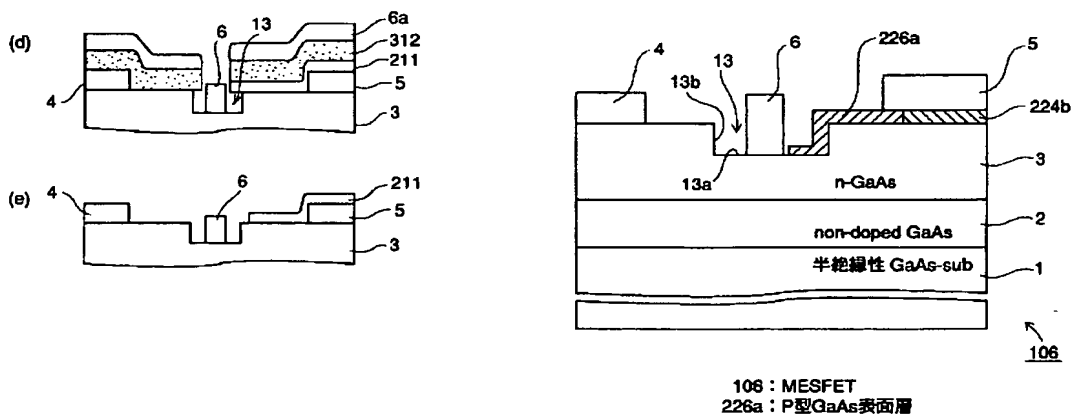
【図4】



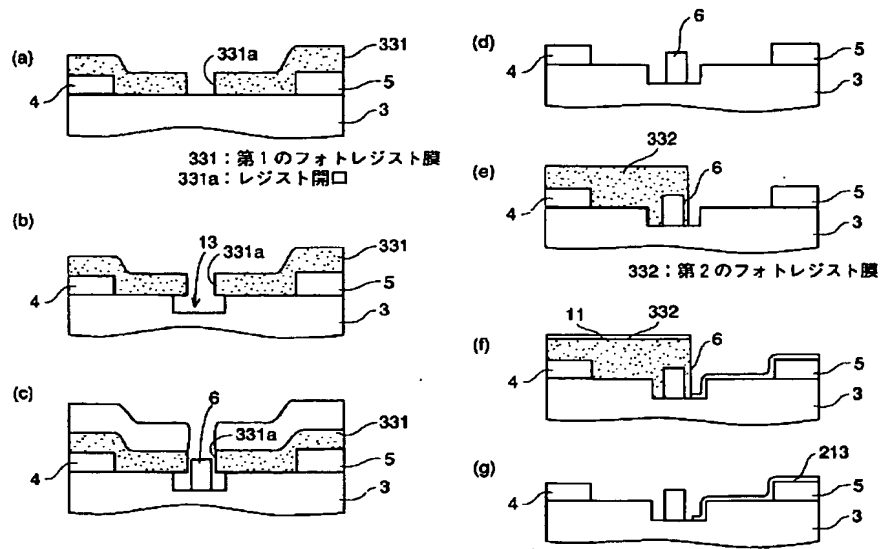
【図7】



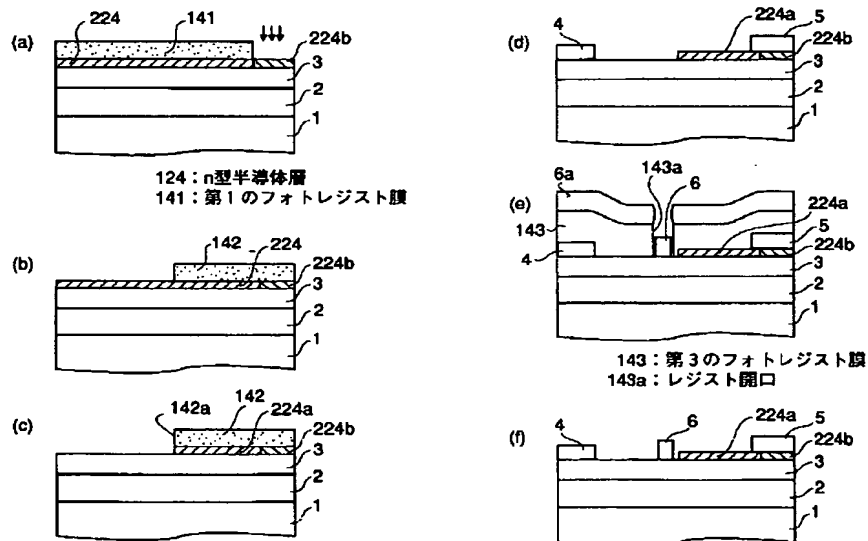
【図10】



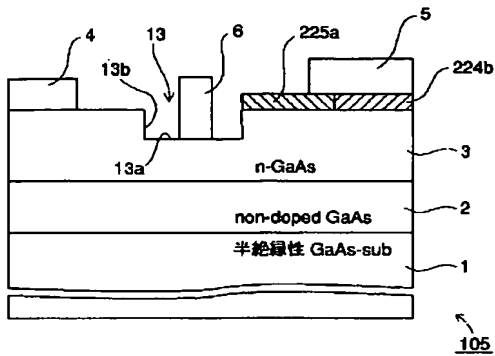
【図6】



【図8】

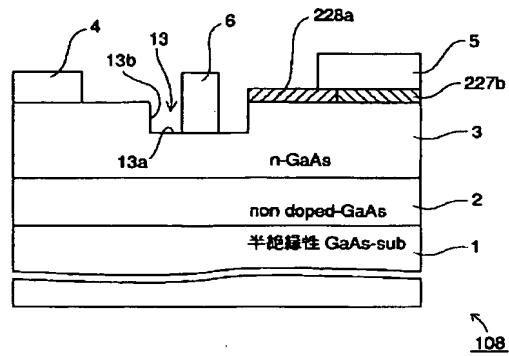


【図9】



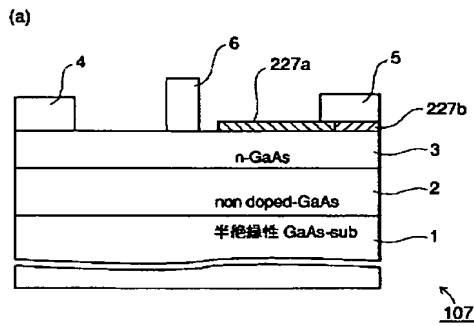
105 : MESFET
225a : P型GaAs表面層

【図12】

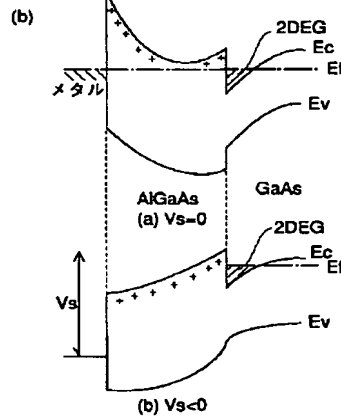


108 : MESFET
228a : n⁺型AlGaAs表面層

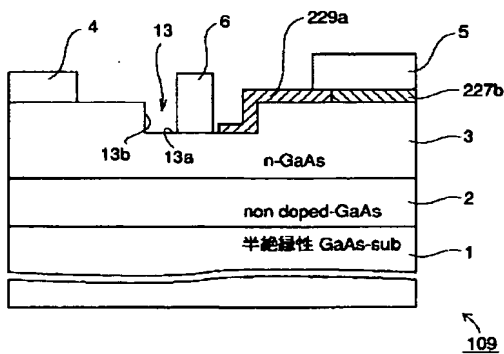
【図11】



107 : MESFET
227a : n型AlGaAs表面層
227b : n⁺型AlGaAsコンタクト層

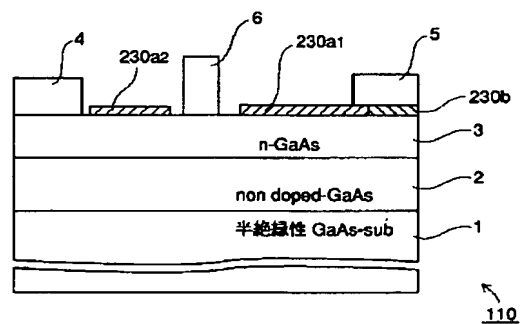


【図13】



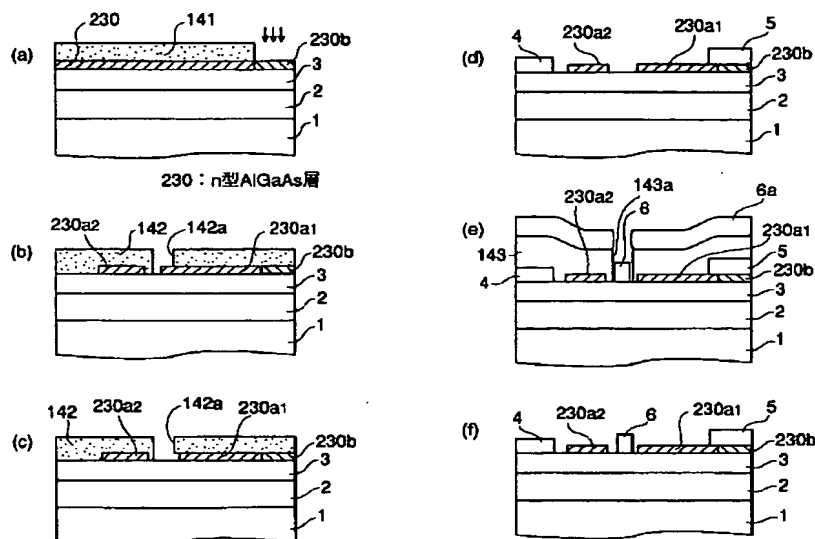
109 : MESFET
229a : n⁺型AlGaAs表面層

【図14】

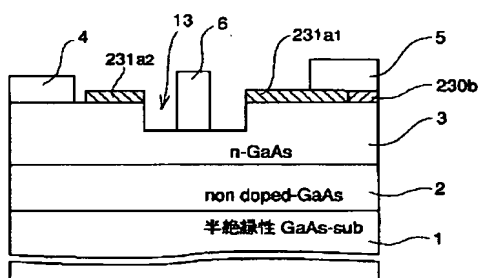


110 : MESFET
230a1 : ドレイン側n⁺型AlGaAs表面層
230a2 : ソース側n⁺型AlGaAs表面層
230b : n型AlGaAsコンタクト層

【図15】



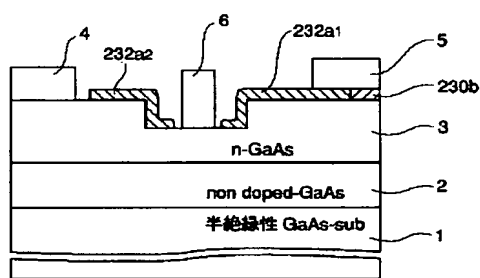
【図16】



111

111 : MESFET
 231a1 : ドレイン側n型AlGaAs表面層
 231a2 : ソース側n型AlGaAs表面層

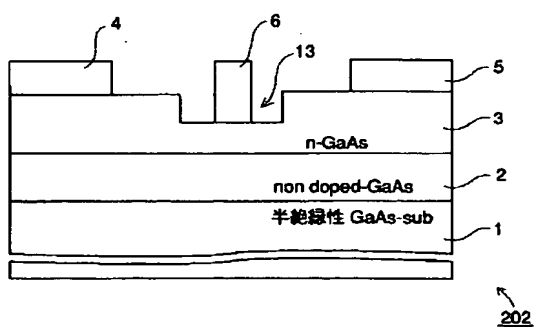
【図17】



112

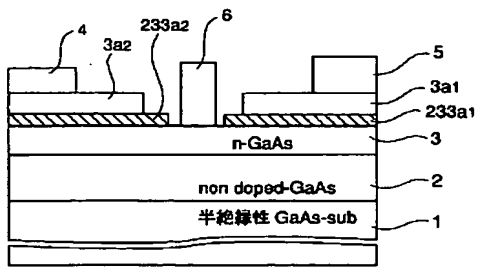
112 : MESFET
 232a1 : ドレイン側n型AlGaAs表面層
 232a2 : ソース側n型AlGaAs表面層

【図21】



202

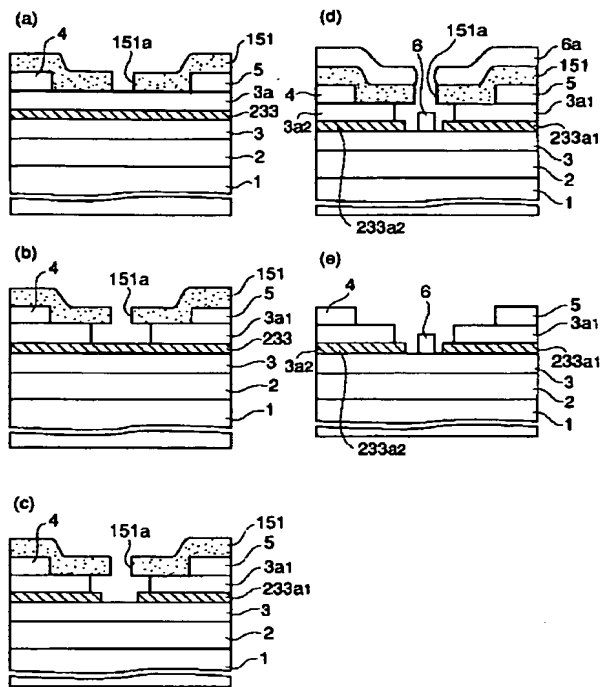
【図18】



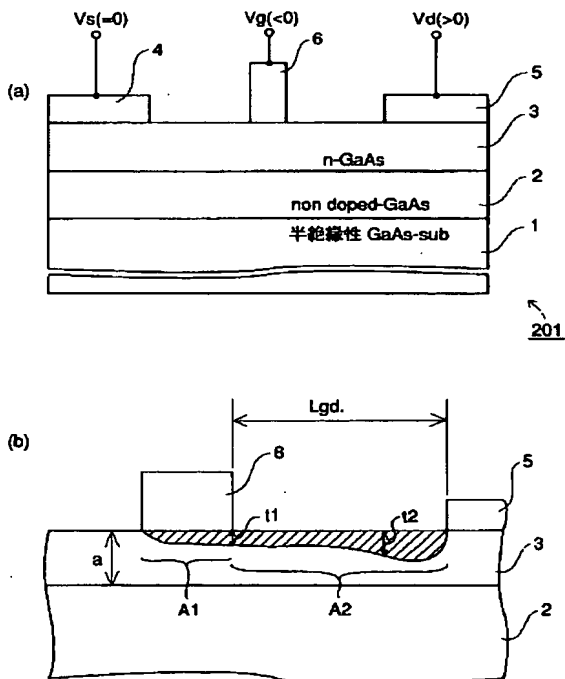
113

3a1 : ドレイン側n⁺型GaAsコンタクト層
 3a2 : ソース側n⁺型GaAsコンタクト層
 113 : MESFET
 233a1 : ドレイン側n型AlGaAs表面層
 233a2 : ソース側n型AlGaAs表面層

【図19】



【図20】



(21)

特開平 7-321126

フロントページの続き

(51)Int.Cl.⁶

H01L 29/417

識別記号

片内整理番号

F I

技術表示箇所

H01L 29/50

J

9171-4M

29/80

F